
Editorial

Ce troisième numéro thématique sur l'architecture des ordinateurs rassemble les meilleures versions d'articles, étendus, présentés lors de la huitième conférence SympA « Symposium sur l'Architecture des ordinateurs » qui s'est tenue en 2002 à Hammamet en Tunisie.

Les cinq articles de ce numéro ont été choisis à l'issue d'une double sélection : la première réalisée par les membres du comité de programme de SympA parmi les articles soumis à la conférence. La seconde réalisée par le comité de rédaction de TSI parmi les articles étendus issus de la première sélection.

Ce numéro donne une image instantanée des préoccupations de la communauté du thème architecture. A leur lecture, il apparaît qu'elles sont comme les contours des domaines couverts par le thème architecture des ordinateurs, c'est-à-dire en perpétuelle redéfinition, guidées par l'évolution de la technologie et par l'émergence de nouvelles applications qui apportent leur lot de besoins à satisfaire et de contraintes à respecter.

Dans cette sélection, on retrouve tout d'abord le domaine traditionnel des processeurs super-scalaires et VLIW : les premiers dominent le marché des machines généralistes où la performance est le premier objectif à atteindre. Celle-ci est obtenue par un ordonnancement dynamique des instructions qui se fait au cours de leur exécution, et ce au prix d'une grande complexité matérielle. Cette complexité matérielle fait que toutes les optimisations possibles ne sont pas encore optimales. Le premier article de ce numéro traite de l'« Optimisation du chargement des instructions » dans les processeurs super-scalaires afin d'exploiter au mieux la performance.

Les seconds sont moins performants que les premiers mais bien adaptés au traitement des applications embarquées. De conception matérielle différente des super-scalaires, leur ordonnancement est obtenu de manière statique : il dépend donc du compilateur et des techniques d'optimisation qui lui sont associées. Or, le temps de développement d'un compilateur efficace à moindre coût pour une architecture VLIW cible est souvent en opposition avec la réactivité du marché. Dans le but de concilier ces objectifs contradictoires, le second article « Algorithme d'ordonnancement dynamique pour exécution statique » combine les avantages du paradigme super-scalaire et du paradigme VLIW.

Depuis plusieurs années on observe un intérêt croissant pour les systèmes enfouis qui deviennent aujourd'hui un centre d'intérêt majeur. C'est la conséquence de l'avènement du multimédia et de ses exigences pour le marché grand public. Ici, la communication, l'encodage, le cryptage, la mobilité, l'autonomie, etc. sont autant de paramètres qui requièrent une grande puissance de calcul, une faible consommation et un faible encombrement.

Heureusement, la technologie est au rendez-vous pour répondre en grande partie à ces exigences, de par la disponibilité sur le marché de systèmes sur puce et de systèmes à logique reconfigurable (FPGA) permettant plus de souplesse et de puissance de calcul. Bien exploiter ces composants nécessite de développer vite et à moindre coût les applications à intégrer. Tout cela suppose une réutilisation de l'existant et surtout la disponibilité d'outils et de méthodes parfois conjointes logiciel/matériel d'aide à la conception d'applications. L'article « Partitionnement logiciel matériel ciblant une architecture reconfigurable dynamiquement » présente une méthode basée sur un algorithme génétique permettant de fournir une allocation et un ordonnancement des tâches sur l'architecture de FPGA.

Toujours dans le domaine du reconfigurable, l'article « ROOM : des machines reconfigurables orientées objet » présente une méthodologie de conception fondée sur un langage orienté objet pour programmer une application sur un FPGA facilitant l'implantation d'accélérateurs de calcul dans de la logique reconfigurable. L'architecture dérivée de cette conception est une machine parallèle qui est composée d'autant d'objets qu'il y a de classes présentes dans l'application.

Le dernier article « Implantation d'algorithmes spécifiés en virgule flottante dans les DSP virgule fixe » présente une nouvelle méthodologie d'implantation d'algorithmes au sein d'architectures programmables. Par rapport aux méthodologies existantes, la détermination et l'optimisation du codage sont réalisées sous contrainte de précision en sortie de l'algorithme. L'architecture du processeur cible est entièrement prise en compte durant les deux phases de détermination et d'optimisation.

Les auteurs de cet éditorial tiennent à remercier tous les auteurs des articles mais aussi tous les autres acteurs qui ont contribué à la qualité de la conférence SympA'02, ainsi que les lecteurs et relecteurs des articles retenus.

Daniel Litaize, Abdelaziz M'zoughi

{litaize, mzoughi}@irit.fr